

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-154312
 (43)Date of publication of application : 27.05.1992

(51)Int.Cl. H03F 3/45

(21)Application number : 02-279826

(71)Applicant : FUJITSU LTD
 FUJITSU VLSI LTD

(22)Date of filing : 18.10.1990

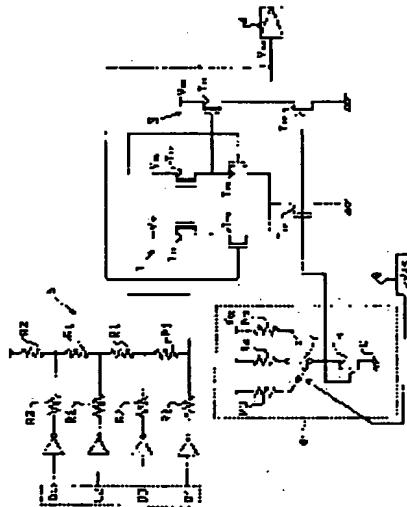
(72)Inventor : OGAWA HITOSHI
 MITSUSAKI HIROYUKI

(54) OPERATIONAL AMPLIFYING CIRCUIT

(57)Abstract:

PURPOSE: To drive various loads without consuming unnecessary electric power by selecting and outputting a bias voltage corresponding to the load from in plural bias voltages which can be set by a variable bias circuit.

CONSTITUTION: When digital binary signals D1-D4 of 4 bits are inputted, its binary signals D1-D4 are converted to an analog voltage by a resistance string 5, and its analog voltage is amplified by a differential circuit 1 and an output stage 3 and outputted as an output signal Vout to a load circuit 4. In this case, for instance, when resistance values of each resistance R3, R4 and R5 of a variable bias circuit 6 are set such as R3>R4>R5, a bias voltage supplied to transistors TR5, TR7 in the case each resistance R3, R4 and R5 is connected to a drain of a transistor TR9 becomes three stages in order of R3<R4<R5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-154312

⑬ Int. Cl. 5

H 03 F 3/45

識別記号

府内整理番号

Z 8326-5J

⑭ 公開 平成4年(1992)5月27日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 オペアンプ回路

⑯ 特 願 平2-279826

⑯ 出 願 平2(1990)10月18日

⑰ 発明者 小川 齊 愛知県春日井市高蔵寺町2丁目1844番2 富士通バイエル
エスアイ株式会社内

⑰ 発明者 光崎 裕之 愛知県春日井市高蔵寺町2丁目1844番2 富士通バイエル
エスアイ株式会社内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 出願人 富士通バイエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑰ 代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

オペアンプ回路

2. 特許請求の範囲

1. 差動回路(1)の出力信号でCMOS構成の出力段(3)の一方のMOSトランジスタを駆動するとともに他方のMOSトランジスタは複数の異なるバイアス電圧の中から一つのバイアス電圧を選択して出力する可変バイアス回路(6)で駆動することを特徴とするオペアンプ回路。

3. 発明の詳細な説明

〔概要〕

CMOSオペアンプ回路に関して、無用な電力を消費することなく多様な負荷を駆動することを目的とし、差動回路の出力信号でCMOS構成の出力段の一方のMOSトランジスタを駆動するとともに他

方のMOSトランジスタは複数の異なるバイアス電圧の中から一つのバイアス電圧を選択して出力する可変バイアス回路で駆動するように構成する。

〔産業上の利用分野〕

この発明はCMOSオペアンプ回路に関するものである。

CMOSオペアンプ回路はCMOS構成の出力段で負荷を駆動する構成となっているが、消費電力を増大させることなく多様な負荷駆動能力を備えることが要請されている。

〔従来の技術〕

従来のソース電流駆動型CMOSオペアンプ回路の一例を第4図に従って説明すると、入力段を構成する差動回路1はPチャネルMOSトランジスタTr1, Tr2とNチャネルMOSトランジスタTr3, Tr4, Tr5とで構成され、トランジスタTr3, Tr4のゲートに入力信号Vin1, Vin2が入力され、トランジスタTr5のゲートには抵抗Rと

特開平4-154312(2)

NチャネルMOSトランジスタTr8とから構成されるバイアス回路2から一定のバイアス電圧が供給されている。

また、CMOS構成の出力段3はPチャネルMOSトランジスタTr6とNチャネルMOSトランジスタTr7とから構成され、トランジスタTr6のゲートは前記トランジスタTr2, Tr4のドレインに接続され、トランジスタTr7のゲートは前記バイアス回路2からトランジスタTr5と同一のバイアス電圧が供給されている。そして、出力段3の両トランジスタTr6, Tr7のドレインから負荷回路4に出力信号Voutが出力されている。

上記のようなソース電流駆動型CMOSオペアンプ回路ではバイアス回路の動作によりトランジスタTr5, Tr7は常時オンされて一定のバイアス電流IBを流し得る状態であり、この状態で入力信号Vin1, Vin2が入力されると入力信号Vin2の電圧レベルが同Vin1より高くなるほどトランジスタTr6から負荷回路4に流れるソース電流Isが大きくなつて負荷回路4がそのソース電流

この発明の目的は、無用な電力を消費することなく多様な負荷を駆動し得るオペアンプ回路を提供することにある。

[課題を解決するための手段]

第1図は本発明の原理説明図である。すなわち、差動回路1の出力信号でCMOS構成の出力段3の一方のMOSトランジスタを駆動するとともに他方のMOSトランジスタは複数の異なるバイアス電圧の中から一つのバイアス電圧を選択して出力すると可変バイアス回路6で駆動している。

[作用]

可変バイアス回路6で設定可能な複数のバイアス電圧の中から負荷に応じたバイアス電圧を選択して出力させると、出力段3に対し負荷に適したバイアス電圧が供給される。

[実施例]

以下、この発明を具体化した一実施例を第2図

Isで駆動される。

[発明が解決しようとする課題]

ところが、上記のようなCMOSオペアンプ回路では入力信号Vin1に対し同Vin2を高くするほど負荷回路4を駆動するソース電流Isを増大させることができるが、入力信号Vin1に対し同Vin2を低くすることにより負荷回路4からトランジスタTr7に流れるシンク電流で同負荷回路4を駆動しようとしてもそのシンク電流はトランジスタTr7に流れるバイアス電流IB以上となることはない。従って、大シンク電流を必要とする負荷回路4では負荷駆動能力が不足したり、あるいはシンク電流をほとんど必要としない負荷回路4では必要以上にバイアス電流IBを流すと、トランジスタTr6, Tr7を貫通する貫通電流が増大して無用な消費電力が増大する。従って、このオペアンプ回路では無用な電力を消費することなく多様な負荷に対応することは困難であった。

及び第3図に従って説明する。なお、前記従来例と同一構成部分は同一番号を付してその説明を省略する。

この実施例は前記従来例のCMOSオペアンプ回路を4ビットのDA変換器の出力回路として用いたものであり、差動回路1及び出力段3は前記従来例と同一構成である。そして、トランジスタTr4のゲートには二種類の抵抗値の抵抗R1, R2で構成される抵抗ストリング5が接続され、その抵抗ストリング5で4ビットのデジタル2進信号D1～D4がアナログ電圧に変換されてトランジスタTr4のゲートに入力されている。また、トランジスタTr3のゲートには出力段3から出力信号Voutが入力されている。

差動回路1及び出力段3のトランジスタTr5, Tr7のゲートには可変バイアス回路6が接続されている。その可変バイアス回路6は電源VccとNチャネルMOSトランジスタTr9のドレインとの間に抵抗値がそれぞれ異なる3本の抵抗R3, R4, R5が切り換えスイッチ7を介して並列に接

BEST AVAILABLE COPY

特開平4-154312 (3)

続され、その切り替えスイッチ7により各抵抗R3、R4、R5のいずれかがドレインに接続される。そして、トランジスタTr9のドレインが前記トランジスタTr5、Tr7のゲートに接続され、同トランジスタTr9のゲートはドレインに接続されるとともにソースはグランドGに接続されている。また、切り替えスイッチ7はレジスタ8の出力信号に基づいて切り替えられ、そのレジスタ8に格納されるデータは外部から入力される。

その切り替えスイッチ7の一例を第3図に従って説明すると、各抵抗R3、R4、R5とトランジスタTr9のドレインとはそれぞれトランスマニアゲート9a、9b、9cを介して接続され、各トランスマニアゲート9a、9b、9cのPチャネル側ゲートにはそれぞれレジスタ8a、8b、8cの出力信号がインバータ10を介して入力され、Nチャネル側ゲートにはそれぞれレジスタ8a、8b、8cの出力信号が直接入力されている。そして、各レジスタ8a、8b、8cは外部からそれぞれ入力される設定信号によりいずれか一つ

のレジスタからHレベルの信号が出力されるようになっている。

さて、上記のように構成されたDA変換器では4ビットのデジタル2進信号D1～D4が入力されるとその2進信号D1～D4が抵抗ストリング5によりアナログ電圧に変換され、そのアナログ電圧が差動回路1及び出力段3により増幅されて負荷回路4に出力信号Voutとして出力される。このとき、例えば可変バイアス回路6の各抵抗R3、R4、R5の抵抗値がR3>R4>R5というように設定されているとき、各抵抗R3、R4、R5をトランジスタTr9のドレインに接続した場合のトランジスタTr5、Tr7に供給されるバイアス電圧はR3<R4<R5の順で3段階となる。

従って、負荷回路4に寄生する負荷容量が大きくなった場合にはレジスタ8aだけがHレベルの信号を出力するように設定すると、トランスマニアゲート9aが閉路されて抵抗R5がトランジスタTr9のドレインに接続され、3段階のバイアス電圧のうち最も低いバイアス電圧が選択されてT

r5、Tr7に出力される。一方、負荷回路4に寄生する負荷容量が小さい場合にはレジスタ8cだけがHレベルの信号を出力するように設定すると、トランスマニアゲート9cが閉路されて抵抗R3がトランジスタTr9のドレインに接続され、3段階のバイアス電圧のうち最も低いバイアス電圧が選択されてTr5、Tr7に出力される。

以上のようにこのDA変換器ではオペアンプ回路に接続される負荷回路4に寄生する負荷容量の大小によりオペアンプ回路に供給するバイアス電圧を可変バイアス回路6により3段階に調節可能である。従って、負荷回路4に応じた負荷駆動能力を選択することができるとともに、無用なバイアス電流による消費電力の増大を防止することができる。

なお、前記実施例では可変バイアス回路6で差動回路1及び出力段3のバイアス電圧を調節可能としたが、差動回路1のバイアス電圧は固定とし、出力段3のバイアス電圧だけを調節するような構成としてもよい。また、前記実施例は本発明をソ

ース電流駆動型CMOSオペアンプ回路に具体化したものであるが、シンク電流駆動型CMOSオペアンプ回路のバイアス回路を同様な思想で可変バイアス回路とすることもできる。

【発明の効果】

以上詳述したように、この発明は無用な電力を消費することなく多様な負荷を駆動し得るオペアンプ回路を提供することができる優れた効果を発揮する。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の一実施例を示す回路図、

第3図は可変バイアス回路の一実施例を示す回路図、

第4図は従来例を示す回路図である。

図中、

1は差動回路、

BEST AVAILABLE COPY

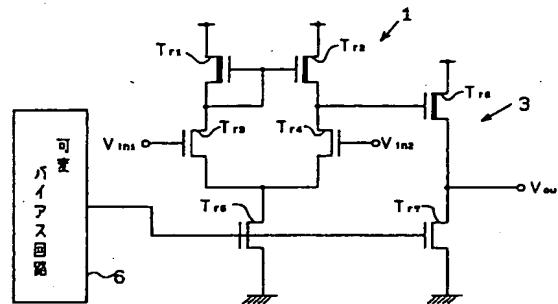
特開平 4-154312 (4)

3 は出力段、
6 は可変バイアス回路である。

代理人 弁理士 井桁 貞一

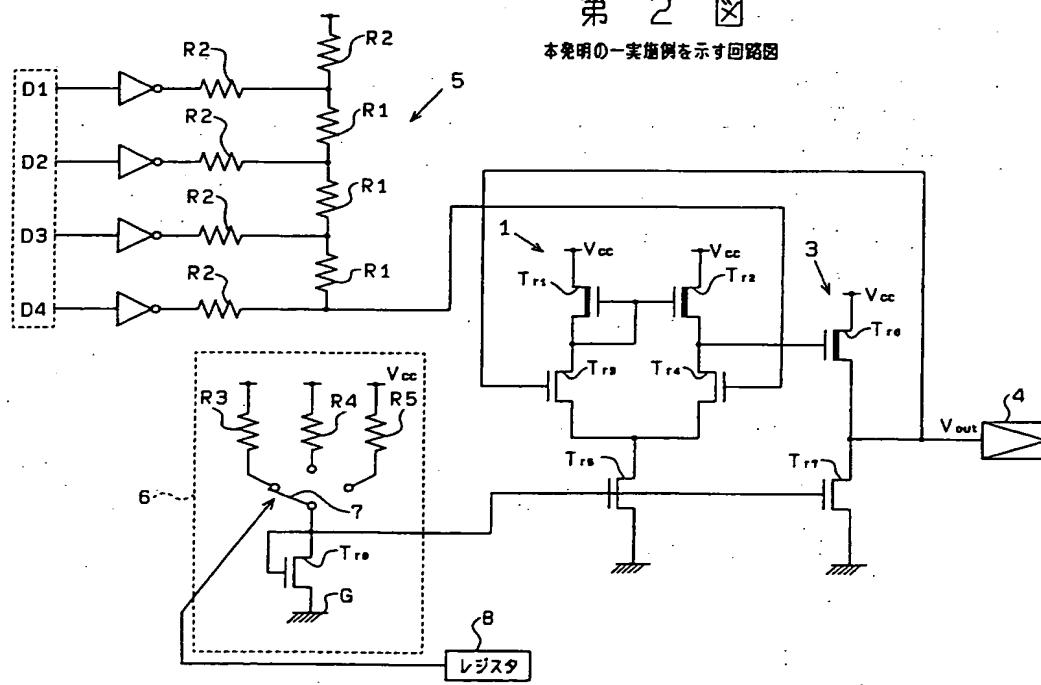


第 1 図
本発明の原理説明図



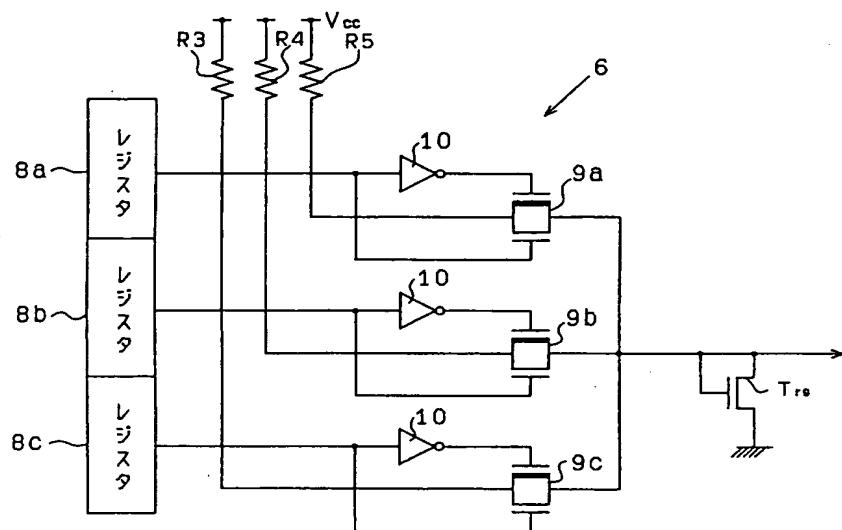
BEST AVAILABLE COPY

第 2 図
本発明の一実施例を示す回路図



特開平4-154312(5)

第 3 図



BEST AVAILABLE COPY

第4回

